



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08044038 A**(43) Date of publication of application: **16 . 02 . 96**

(51) Int. Cl.

G03F 1/08
H01L 21/027
H01L 21/3205
H01L 21/768
H05K 3/46

(21) Application number: **06182340**(22) Date of filing: **03 . 08 . 94**(71) Applicant: **MATSUSHITA ELECTRON CORP**(72) Inventor: **AKASHI TAKUO**

(54) **MASTER MASK FORMING DEVICE AND
 PRODUCTION OF SEMICONDUCTOR DEVICE**

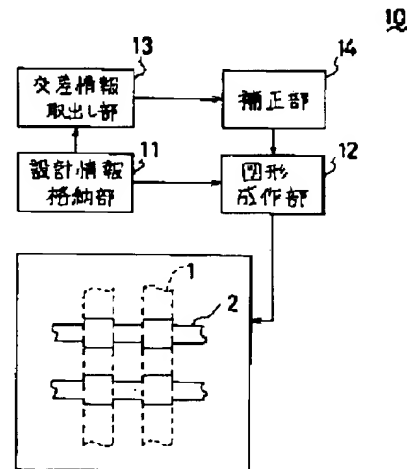
disconnection defect of the upper layer wiring
 electrodes are prevented.

(57) Abstract:

COPYRIGHT: (C)1996,JPO

PURPOSE: To provide a process for producing a semiconductor device, etc., capable of forming multilayered wiring electrodes having good shapes on differences in level without increasing the number of stages.

CONSTITUTION: The shapes of first, second master masks 1, 2 for forming the lower and upper layer wiring electrodes are formed by a graphic forming section 12 according to the design information from a design information storage section 11. The information I that the upper layer wiring electrodes intersect with at least one lower layer wiring electrodes is fetched out of the design information storage section 11 by an intersection information fetching section 13. The width of the second master mask 2 for forming the upper layer wiring electrodes is so corrected as to be changed in the parts where both intersect and the parts where both do not intersect by a correcting section 14. The width of the master mask is set finer than a standard value in the parts where the electrodes do not intersect in the case of, for example, the positive type master mask, by which the expansion of the photoresist mask in the bottoms at the differences in level by deficiency of exposure is prevented and the bridge defect and



(51) Int.Cl.⁶

識別記号

片内整理番号

F I

技術表示箇所

G 0 3 F 1/08

A

H 0 1 L 21/027

21/3205

H 0 1 L 21/ 30

5 0 2 P

21/ 88

B

審査請求 未請求 請求項の数 4 O L (全 5 頁) 最終頁に続く

(21) 出願番号

特願平6-182340

(22) 出願日

平成6年(1994)8月3日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 明石 拓夫

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

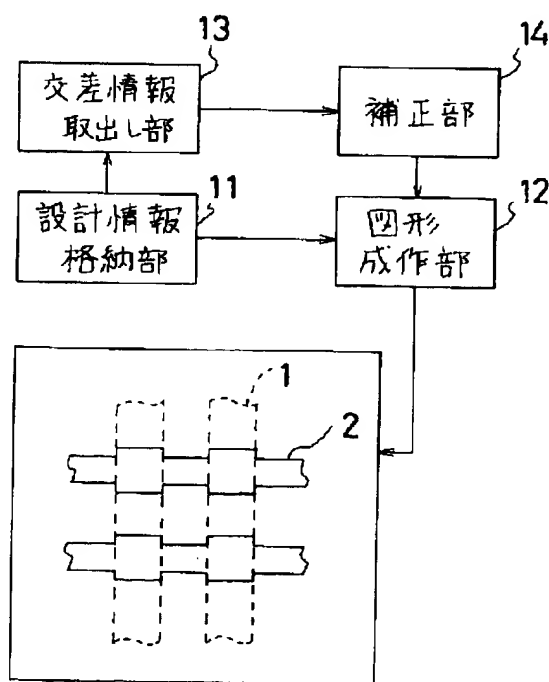
(74) 代理人 弁理士 前田 弘 (外2名)

(54) 【発明の名称】 マスターマスク作成装置及び半導体装置の製造方法

(57) 【要約】

【目的】 工程数を増加させることなく、段差上において良好な形状を有する多層配線電極を形成できる半導体装置の製造方法等を提供する。

【構成】 設計情報格納部11からの設計情報に応じ、図形作成部12により、下層、上層配線電極形成用の第1、第2マスターマスク1、2の形状を作成する。交差情報取出し部13により、設計情報格納部11から上層配線電極が少なくとも1つの下層配線電極と交差する旨の情報を取出す。補正部14により、両者が交差する部位と交差しない部位とでは上層配線電極形成用の第2マスターマスク2の幅を変えるよう補正する。例えばポジ型マスターマスクでは、交差しない部位ではマスターマスクの幅を標準値よりも細くし、露光量の不足によるフォトリソマスクの段差底部における拡大を防止して、上層配線電極のブリッジ不良や断線不良を防止する。



【特許請求の範囲】

【請求項1】 フォトリソグラフィ工程で使用されるマスターマスクを作成するための装置であって、設計情報を格納する設計情報格納手段と、上記設計情報格納部に格納される設計情報に応じて、半導体装置の各部の形状に対応したマスターマスクの図形を作成する図形作成手段と、上記設計情報格納手段の情報から上層配線電極と少なくとも1つの下層配線電極とが交差する旨の情報を取出す交差情報取出し手段と、上記交差情報取出し手段の出力を受け、上記図形作成手段で作成される上層配線電極形成用マスターマスクの幅を、上層配線電極が少なくとも1つの下層配線電極に交差する部位と交差しない部位とでは異なる幅にして、当該マスターマスクを用いて形成されるフォトリソマスクの幅が均一になる方向に補正する補正手段とを備えたことを特徴とするマスターマスク作成装置。

【請求項2】 請求項1記載のマスターマスク作成装置において、上記補正手段は、上層配線電極形成用マスターマスクの幅を一括補正することを特徴とするマスターマスク作成装置。

【請求項3】 少なくとも1つの下層配線電極の上に上層配線電極を形成するようにした半導体装置の製造方法において、上記上層配線電極を形成するためのマスターマスクを作成するステップと、上記上層配線電極を構成する導電膜を堆積する工程と、上記導電膜の上にフォトリソを塗布してフォトリソ膜を形成する工程と、上記マスターマスクを用いて上記フォトリソ膜の一部を除去してフォトリソマスクを形成するステップと、上記フォトリソマスクを用いて上層配線電極をパターニングするステップとを備え、上記上層配線電極形成用マスターマスクを作成するステップでは、上層配線電極形成用マスターマスクの幅を、上層配線電極が少なくとも1つの下層配線電極に交差する部位と交差しない部位とでは異なる幅にして、当該マスターマスクを用いて形成されるフォトリソマスクの幅が均一になる方向に補正することを特徴とする半導体装置の製造方法。

【請求項4】 請求項3記載の半導体装置の製造方法において、上記上層配線電極形成用マスターマスクを作成するステップでは、上層配線電極形成用マスターマスクの幅を一括補正することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、フォトリソグラフィ

工程で使用されるマスターマスク作成装置及び半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 近年、半導体装置に対する高集積化の要望が高くなっており、微細な多層電極構造が多用されてきている。これに伴い、段差上で良好な形状を得るため多層電極間の層間絶縁膜の平坦化やリソグラフィ技術の向上が不可欠となっている。

【0003】 従来より、このような多層電極を有する半導体装置の製造工程は、図4(a)～(c)に示す手順で行われている。

【0004】 図4(a)に示す状態では、半導体基板3上にゲート絶縁膜4を介して第1層配線電極5(ゲート電極)が形成されており、その上に層間絶縁膜6が形成され、さらにその上にビット線等の第2層配線電極を形成するための導電膜7(例えばポリサイド膜等)が堆積されている。そして、この導電膜7の上にフォトリソ8を塗布する。次に、図4(b)に示すように、フォトリソグラフィにより導電膜7をパターニングして第2層配線電極9を形成する。この第2層配線電極9が形成された基板の平面状態は、図4(c)に示すようになる。

【0005】 また、上記フォトリソグラフィ工程では、図3に示すマスターマスク作成装置20により、マスターマスクが作成される。ただし、ネガ型のフォトリソマスクを形成する場合を示す。すなわち、設計情報格納部11からの設計情報に応じて、図形作成部12により、下層の第1層配線電極5を形成するための第1マスターマスク1(同図の破線部分参照)の形状が作成され、次に、第1層配線電極5の上に交差する第2層配線電極9を形成するための第2マスターマスク2(同図の実線部分)の形状が作成される。

【0006】

【発明が解決しようとする課題】 しかしながら、上記従来の方法では、導電膜7から第2層配線電極9をパターニングする際に下記のような問題があった。すなわち、導電膜7の下地はすべて層間絶縁膜6となっているが、層間絶縁膜6の下方には線状にパターニングされた第1層配線電極5が存在するので、層間絶縁膜6の表面には第1層配線電極5の部位で突出する段差がある。したがって、フォトリソグラフィの際、フォトリソ膜8を塗布すると、段差底部の部位ではフォトリソ膜8の膜厚が段差頂部の部位よりも大きくなっている。このため、段差底部の部位のフォトリソ膜8を解像するために必要な光強度が不足し、ポジ型のフォトリソを使用する場合、段差底部の部分で露光量が不足することでフォトリソ膜の溶解部分が縮小し、段差底部でレジストマスクの幅が太くなる。一方、ネガ型のフォトリソを使用する場合には、段差底部の部分でフォトリソ膜8が溶解する領域が拡大して、段差底部でフ

フォトレジストマスクの幅が細くなる。したがって、最終的に段差底部の部位でポジ型の場合にはブリッジ不良を、ネガ型の場合には断線不良を招く虞れがあった。

【0007】斯かる不具合を回避すべく、従来では、フォトレジストマスクの形成時に全体の露光量を増大させたり、層間絶縁膜6を平坦化する等の方法が採られてきた。しかるに、フォトレジスト膜の形成時に全体の露光量を増加させると、反対に段差頂部が過剰な露光量となるので、ポジ型の場合、上層配線電極の頂部における寸法が細くなって断線を生じる虞れがある。また、層間絶縁膜を平坦化する方法は、工程数の増大つまり製造コストの増大を招き、量産上好ましくない。

【0008】本発明は斯かる点に鑑みてなされたものであり、その目的は、下地に下層配線による段差を有する基板上に配線電極を形成する場合に、工程数の増大を招くことなく、良好な形状を有する多層配線電極を形成するためのマスターマスクの作成装置及び半導体装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成させるために本発明が講じた手段は、上層配線電極形成用マスターマスクの幅を、下層配線電極と交差する部位と交差しない部位とで変更するように補正することにある。

【0010】具体的に請求項1の発明の講じた手段は、フォトリソグラフィ工程で使用されるマスターマスクを作成するための装置として、設計情報を格納する設計情報格納手段と、上記設計情報格納部に格納される設計情報に応じて、半導体装置の各部の形状に対応したマスターマスクの図形を作成する図形作成手段と、上記情報格納手段の情報から上層配線電極と少なくとも1つの下層配線電極とが交差する旨の情報を取出す交差情報取出し手段と、上記交差情報取出し手段の出力を受け、上記図形作成手段で作成される上層配線電極形成用マスターマスクの幅を、上層配線電極が少なくとも1つの下層配線電極に交差する部位と交差しない部位とでは異なる幅にして、当該マスターマスクを用いて形成されるフォトレジストマスクの幅が均一になる方向に補正する補正手段とを設ける構成としたものである。

【0011】請求項2の発明の講じた手段は、請求項1の発明において、上記補正手段を、上層配線電極形成用マスターマスクの幅を一括補正するように構成したものである。

【0012】請求項3の発明の講じた手段は、少なくとも1つの下層配線電極の上に上層配線電極を形成するようにした半導体装置の製造方法として、上記上層配線電極を形成するためのマスターマスクを作成するステップと、上記上層配線電極を構成する導電膜を堆積する工程と、上記導電膜の上にフォトレジストを塗布してフォトレジスト膜を形成する工程と、上記マスターマスクを用いて上記フォトレジスト膜の一部を除去してフォトレ

ジストマスクを形成するステップと、上記フォトレジストマスクを用いて上層配線電極をパターンニングするステップとを設け、上記上層配線電極形成用マスターマスクを作成するステップでは、上層配線電極形成用マスターマスクの幅を、上層配線電極が少なくとも1つの下層配線電極に交差する部位と交差しない部位とでは異なる幅にして、当該マスターマスクを用いて形成されるフォトレジストマスクの幅が均一になる方向に補正する方法である。

10 【0013】請求項4の発明の講じた手段は、請求項3の発明において、上記上層配線電極形成用マスターマスクを作成するステップでは、上層配線電極形成用マスターマスクの幅を一括補正する方法である。

【0014】

【作用】以上の構成又は方法により、各請求項の発明では、以下のような作用が得られる。

20 【0015】請求項1又は3の発明では、レイアウトデータ等の設計情報に基づき、上層配線形成用マスターマスクの形状が描画される。その際、少なくとも1つの下層配線電極と当該上層配線電極とが交差する場合には、上層配線電極形成用マスターマスクの幅が、下層配線電極との交差する部位と交差しない部位とでは異なる幅になるよう補正される。例えばポジ型フォトレジスト用マスターマスクでは、交差しない部位でマスターマスクの幅が標準値よりも細くなるよう補正される。したがって、このマスターマスクを用いて製造される半導体装置において、最終的な上層配線電極の幅がほぼ均一となり、ブリッジ不良や断線不良が防止されることになる。

30 【0016】一方、一般に、設計情報つまりレイアウトデータをマスク描画用のデータに変換する際には、作成しようとする目的マスクのデータソースを他のマスクデータの反転やコピーから求めるための演算処理のシステムが導入されており、上記の手段でプロセス変動を抑えるマスクを作成することは工程増加を伴わない。したがって、工程数の増大を招くことなく、段差上において良好な形状を有する配線電極が得られる。

【0017】請求項2又は4の発明では、上記請求項1又は3の発明の作用において、補正が一括処理されるので、マスターマスクの作成が容易かつ迅速となる。

40 【0018】

【実施例】以下、本発明の実施例について、図1及び図2(a)～(c)を参照しながら説明する。

50 【0019】図1は、実施例に係る半導体装置のフォトリソグラフィ工程で使用されるマスターマスク作成装置10の構成を示す。図1に示すように、マスターマスク作成装置10には、半導体装置の各構成要素の配置、接続関係等に関する設計情報を格納する設計情報格納部11と、この設計情報格納部11に格納される設計情報に応じて、マスターマスクの形状を作成する図形作成部12と、上記設計情報格納部11から多層配線間の交差

に関する情報を取り出す交差情報取出し部13と、この交差情報取出し部13の取出し情報に応じて、上記図形作成部12で作成される上層配線電極形成用マスターマスクの幅を補正する補正部14とが設けられている。すなわち、まず、下層配線電極を形成するための第1マスターマスク1（同図の破線部分参照）を作成し、その上に上層配線電極形成用の第2マスターマスク2（同図の実線部分参照）を作成する。その際、ポジ型マスターマスクの場合には、交差情報取出し部13により、下層配線電極と上層配線電極とが交差する旨の情報が設計情報格納部11から取り出されると、補正部14により、第2マスターマスク2の幅を、第1マスターマスク1と交差する部位では標準値に、それ以外の部位では標準値よりも細くするよう補正される。つまり、下層配線電極による段差の底部では第2マスターマスク2の幅を標準値よりも細くすることで、最終的に形成される上層配線電極の段差底部における広がりを防止している。なお、ネガ型マスターマスクの場合、マスターマスクの幅を交差する部位では標準値にし、交差しない部位では標準値よりも太くする。

【0020】また、図2（a）～（c）は、半導体装置の製造工程における半導体基板の構造の変化を示す断面図又は平面図である。まず、第2図（a）に示すように、半導体基板3上に、ゲート絶縁膜4を形成し、さらにその上に下層配線電極である第1層配線電極5（ゲート電極）を形成し、層間絶縁膜6を形成した後、第2層配線電極を構成する導電膜7（ポリサイド膜）を堆積する。その後、基板上にフォトレジストを塗布してフォトレジスト膜8を形成し、上記第2マスターマスク2を用いてフォトレジスト膜8の一部を除去して、フォトレジストマスクを形成する。そして、このフォトレジストマスクを用いて、エッチングにより導電膜7を選択的に除去し、導電膜7をパターニングして第2層配線電極9（ビット線）を形成する。図2（b）及び（c）は、第2層配線電極9を形成した時点における基板の断面図及び平面図である。

【0021】すなわち、上記実施例では、予め第2マスターマスク2の幅が、第1、第2層配線電極5、9の交差しない部位で標準値よりも細くなるよう補正されているので、最終的な第2層配線電極9の幅は、段差底部と段差頂部とでほとんど差のない均一なものとなる。しかも、層間絶縁膜6を平坦化する工程を加える必要がなく、工程数は変わらない。よって、工程数の増大を招く＊

＊ことなく、ブリッジ不良や断線不良を防止することができるのである。

【0022】なお、上記実施例では、補正手段によるマスターマスクの幅の補正を一括処理するようにしたが、段差の高さに応じて幅の補正量を変えるようにしてもよい。

【0023】

【発明の効果】以上説明したように、請求項1又は3の発明によれば、半導体装置のフォトリソグラフィ工程で使用されるマスターマスクを作成する際、上層配線電極形成用マスターマスクの幅を、上層配線電極が少なくとも1つの下層配線電極に交差する部位と、両者が交差しない部位とでは異なる幅に補正するようにしたので、工程数の増大を招くことなく、良好な形状の配線電極を形成することができる。

【0024】請求項2又は4の発明によれば、請求項1の発明において、上層配線電極形成用マスターマスクの幅の補正を一括補正するようにしたので、マスク作成の容易化を図ることができる。

20 【図面の簡単な説明】

【図1】実施例に係るマスターマスク作成装置の構成を示すブロック図である。

【図2】実施例に係る半導体装置の製造工程における半導体基板の構造の変化を示す断面図及び平面図である。

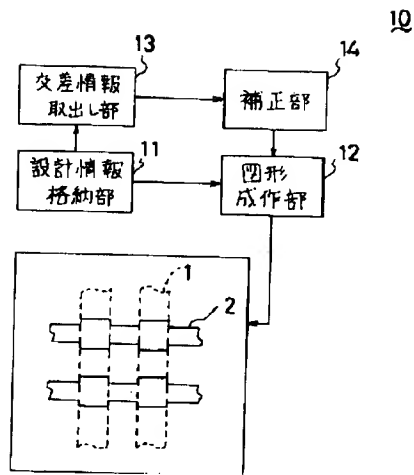
【図3】従来のマスターマスク作成装置の構成を示すブロック図である。

【図4】従来の半導体装置の製造工程における半導体基板の構造の変化を示す断面図及び平面図である。

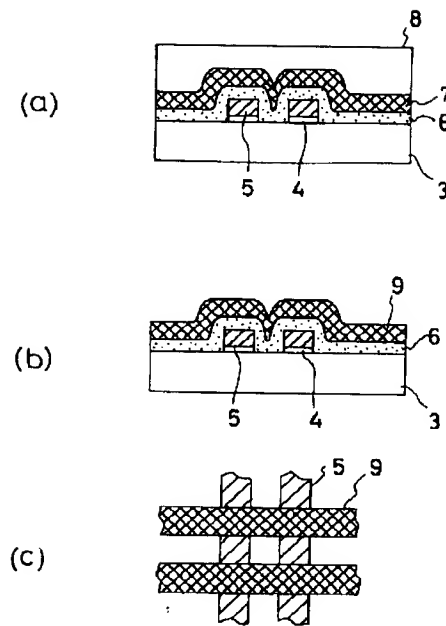
【符号の説明】

- | | |
|----|-------------------|
| 1 | 第1マスターマスク |
| 2 | 第2マスターマスク |
| 3 | 半導体基板 |
| 4 | ゲート絶縁膜 |
| 5 | 第1層配線電極 |
| 6 | 層間絶縁膜 |
| 7 | 第2層配線電極材料 |
| 8 | フォトレジスト膜 |
| 9 | 第2層配線電極 |
| 10 | マスターマスク作成装置 |
| 11 | 設計情報格納部（設計情報格納手段） |
| 12 | 図形作成部 |
| 13 | 交差情報取出し部 |
| 14 | 補正部 |

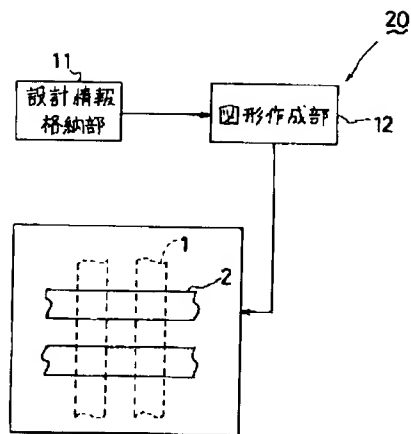
【図1】



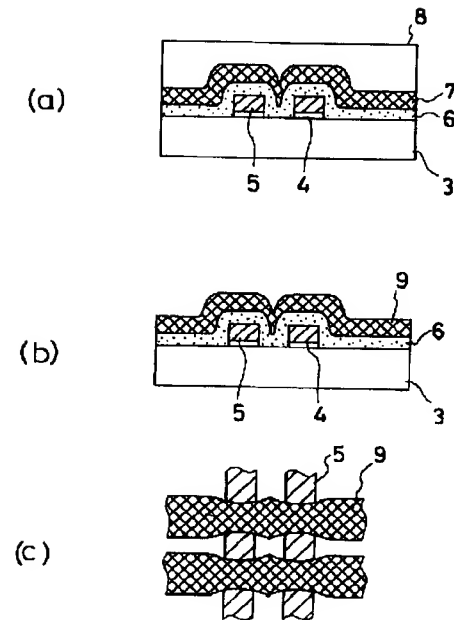
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl. 6

H01L 21/768

H05K 3/46

識別記号

庁内整理番号

F I

技術表示箇所

B 6921-4E

H01L 21/90

W

* NOTICES *

JP H08-044038 A
16 February 1996

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the manufacture method of of the master-mask listing device and semiconductor device which are used at a photo lithography process.

[0002]

[Description of the Prior Art] In recent years, the request of the high integration to a semiconductor device is high, and detailed multilayer electrode structure has been used abundantly. In order to acquire a good configuration on a level difference in connection with this, flattening of a multilayer inter-electrode layer insulation film and improvement in lithography technology are indispensable.

[0003] Conventionally, the manufacturing process of a semiconductor device which has such a multilayer electrode is performed by the procedure shown in drawing 4 (a) - (c).

[0004] In the state which shows in drawing 4 (a), the electric conduction films 7 (for example, polycide film etc.) for the 1st-layer wiring electrode 5 (gate electrode) being formed through the gate insulator layer 4 on the semiconductor substrate 3, and the layer insulation film 6 being formed on it, and forming the 2nd-layer wiring electrodes, such as a bit line, on it further have accumulated. And a photoresist 8 is applied on this electric conduction film 7. Next, as shown in drawing 4 (b), patterning of the electric conduction film 7 is carried out by photo lithography, and the 2nd-layer wiring electrode 9 is formed. The flat-surface state of a substrate where this 2nd-layer wiring electrode 9 was formed comes to be shown in drawing 4 (c).

[0005] Moreover, a master mask is created at the above-mentioned photo lithography process by the master-mask listing device 20 shown in drawing 3. However, the case where the photoresist mask of a negative mold is formed is shown. That is, the configuration of the 2nd master mask 2 (a part for the real line part of this drawing) for forming the 2nd-layer wiring electrode 9 which the configuration of the 1st master mask 1 (refer to the dashed line portion of this drawing) for forming the lower layer 1st-layer wiring electrode 5 is created by the figure creation section 12, next crosses on the 1st-layer wiring electrode 5 by it according to the design information from the design-information storing section 11 is created.

[0006]

[Problem(s) to be Solved by the Invention] However, by the above-mentioned conventional method, when carrying out patterning of the 2nd-layer wiring electrode 9 from the electric conduction film 7, there were the following problems. That is, although all the grounds of the electric conduction film 7 serve as the layer insulation film 6, since the 1st-layer wiring electrode 5 by which patterning was carried out to the line under the layer insulation film 6 exists, the level difference which projects by the part of the 1st-layer wiring electrode 5 is shown in the front face of the layer insulation film 6. Therefore, if the photoresist film 8 is applied in the case of photo lithography, by the part of a level difference pars basilaris ossis occipitalis, the thickness of the photoresist film 8 is larger than the part of a level difference crowning. For this reason, when optical intensity required in order to resolve the photoresist film 8 of the part of a level difference pars basilaris ossis occipitalis runs short and it uses the photoresist of a positive type, the dissolution portion of a photoresist film contracts because light exposure runs short in the portion of a level difference pars basilaris ossis occipitalis, and the width of face of a resist mask becomes thick at the level difference pars basilaris ossis occipitalis. On the other hand, in using the photoresist of a negative mold, the field which the photoresist film 8 dissolves in the portion of a level difference pars basilaris ossis occipitalis is expanded, and the width of face of a photoresist mask becomes thin at the level difference pars basilaris ossis occipitalis. Therefore, there was

a possibility of having invited a poor bridge in the case of a positive type, and finally inviting a poor open circuit by the part of a level difference pars basilaris ossis occipitalis in the case of a negative mold.

[0007] That this fault should be avoided, by the former, the whole light exposure is increased at the time of formation of a photoresist mask, or methods, such as carrying out flattening of the layer insulation film 6, have been taken. However, if the whole light exposure is made to increase at the time of formation of a photoresist film, since a level difference crowning will serve as superfluous light exposure on the contrary, in the case of a positive type, there is a possibility of the size in the crowning of the upper wiring electrode becoming thin, and producing an open circuit. Moreover, the method of carrying out flattening of the layer insulation film causes increase of the number of processes, i.e., increase of a manufacturing cost, and is not desirable on mass production.

[0008] this invention is made in view of this point, and the purpose is in offering the manufacture method of the listing device of the master mask for forming the multilayer-interconnection electrode which has a good configuration, and a semiconductor device, without causing increase of the number of processes, when forming a wiring electrode on the substrate which has a level difference by lower layer wiring on a ground.

[0009]

[Means for Solving the Problem] the means which this invention provided in order to make the above-mentioned purpose attain changes the width of face of the master mask for the upper wiring electrode formation by the part which intersects a lower layer wiring electrode, and the part not crossing -- as -- an amendment -- it is in things

[0010] The means which invention of a claim 1 provided concretely as equipment for creating the master mask used at a photo lithography process A design-information storing means to store design information, and a figure creation means to create the figure of the master mask corresponding to the configuration of each part of a semiconductor device according to the design information stored in the above-mentioned design-information storing section, The intersection information drawing means which takes out the information on a purport that the upper wiring electrode and at least one lower layer wiring electrode cross from the information on the above-mentioned information storing means, Undergo the output of the above-mentioned intersection information drawing means, and width of face of the master mask for the upper wiring electrode formation created with the above-mentioned figure creation means is made into the width of face in which the part to which the upper wiring electrode intersects at least one lower layer wiring electrode differs from the part not crossing. It considers as the composition which establishes an amendment amendment means in the direction in which the width of face of the photoresist mask formed using the master mask concerned becomes uniform.

[0011] the means which invention of a claim 2 provided -- invention of a claim 1 -- setting -- the above-mentioned amendment means -- the width of face of the master mask for the upper wiring electrode formation -- a package amendment -- it constitutes like

[0012] The means which invention of a claim 3 provided as the manufacture method of the semiconductor device in which the upper wiring electrode was formed on at least one lower layer wiring electrode The step which creates the master mask for forming the above-mentioned upper wiring electrode, The process which deposits the electric conduction film which constitutes the above-mentioned upper wiring electrode, and the process which applies a photoresist and forms a photoresist film on the above-mentioned electric conduction film, The step which removes some above-mentioned photoresist films using the above-mentioned master mask, and forms a photoresist mask, At the step which prepares the step which carries out patterning of the upper wiring electrode using the above-mentioned photoresist mask, and creates the above-mentioned master mask for the upper wiring electrode formation It is the amendment method in the direction in which the width of face of the photoresist mask which makes width of face of the master mask for the upper wiring electrode formation the width of face in which the part to which the upper wiring electrode intersects at least one lower layer wiring electrode differs from the part not crossing, and is formed using the master mask concerned becomes uniform.

[0013] The means which invention of a claim 4 provided is the package amendment method in invention of a claim 3 about the width of face of the master mask for the upper wiring electrode formation at the step which creates the above-mentioned master mask for the upper wiring electrode formation.

[0014]

[Function] By the above composition or method, the following operations are obtained in invention of each claim.

[0015] In a claim 1 or invention of 3, the configuration of the master mask for the upper wiring formation is drawn based on the design information of layout data etc. When at least one lower layer wiring electrode and the upper wiring electrode concerned cross in that case, it is amended so that the width of face of the master mask for the upper wiring electrode formation may turn into width of face in which the crossing part with a lower layer wiring electrode differs from the part not crossing. For example, in the master mask for positive-type photoresists, it is amended so that the width of face of a master mask may become thinner than a standard value by the part not crossing. Therefore, in the semiconductor device manufactured using this master mask, the width of face of the final upper wiring electrode becomes almost uniform, and a poor bridge and a poor open circuit will be prevented.

[0016] On the other hand, generally, in case design information, i.e., layout data, is changed into the data for mask drawing, the system of data processing for asking for the data source of the purpose mask which it is going to create from reversal and the copy of other mask datas is introduced, and creating the mask which suppresses process change with the above-mentioned means is not accompanied by the increase in a process. Therefore, the wiring electrode which has a good configuration on a level difference is obtained, without causing increase of the number of processes.

[0017] In a claim 2 or invention of 4, in an operation of the above-mentioned claim 1 or invention of three, since batch processing of the amendment is carried out, creation of a master mask becomes easy and quick.

[0018]

[Example] Hereafter, the example of this invention is explained, referring to drawing 1 and drawing 2 (a) - (c).

[0019] Drawing 1 shows the composition of the master-mask listing device 10 used at the photo lithography process of the semiconductor device concerning an example. As shown in drawing 1, to the master-mask listing device 10 The design-information storing section 11 which stores the design information about arrangement of each component of a semiconductor device, a connection relation, etc., The figure creation section 12 which creates the configuration of a master mask according to the design information stored in this design-information storing section 11, According to the drawing information on the intersection information takeoff connection 13 which takes out the information about intersection between multilayer interconnections from the above-mentioned design-information storing section 11, and this intersection information takeoff connection 13, the width of face of the master mask for the upper wiring electrode formation created in the above-mentioned figure creation section 12 is prepared in the amendment amendment section 14. That is, the 1st master mask 1 (refer to the dashed line portion of this drawing) for forming a lower layer wiring electrode is created first, and the 2nd master mask 2 (refer to real line part part of this drawing) for the upper wiring electrode formation is created on it. If the information on a purport that a lower layer wiring electrode and the upper wiring electrode cross is taken out from the design-information storing section 11 by the intersection information takeoff connection 13 in that case in the case of a positive-type master mask, it will be amended so that width of face of the 2nd master mask 2 may be made thinner by the other part to a standard value than a standard value by the amendment section 14 by the part which intersects the 1st master mask 1. That is, at the pars basilaris ossis occipitalis of the level difference by the lower layer wiring electrode, the breadth in the level difference pars basilaris ossis occipitalis of the upper wiring electrode finally formed is prevented by making width of face of the 2nd master mask 2 thinner than a standard value. In addition, in the case of a negative-mold master mask, by the crossing part, width of face of a master mask is made into a standard value, and is made thicker than a standard value by the part not crossing.

[0020] Moreover, drawing 2 (a) - (c) is the cross section or plan showing change of the structure of the semiconductor substrate in the manufacturing process of a semiconductor device. First, as shown in a view 2 (a), after forming the gate insulator layer 4, forming on it the 1st-layer wiring electrode 5 (gate electrode) which is a lower layer wiring electrode and forming the layer insulation film 6 further on the semiconductor substrate 3, the electric conduction film 7 (polycide film) which constitutes the 2nd-layer wiring electrode is deposited. Then, on a substrate, a photoresist is applied, the photoresist film 8 is formed, some photoresist films 8 are removed using the 2nd master mask 2 of the above, and a photoresist mask is formed. And using this photoresist mask, etching removes the electric conduction film 7 alternatively, patterning of the electric conduction film 7 is carried out, and the 2nd-layer wiring electrode 9 (bit line) is formed. Drawing 2 (b) and (c) are the cross sections and plans of a substrate at the time of forming the 2nd-layer wiring electrode 9.

[0021] That is, in the above-mentioned example, since it is amended so that the width of face of the 2nd

master mask 2 may become thinner than a standard value beforehand by the part which the 1st and the 2nd-layer wiring electrodes 5 and 9 do not intersect, the width of face of the final 2nd-layer wiring electrode 9 becomes the uniform thing which does not almost have a difference in a level difference pars basilaris ossis occipitalis and the level difference crowning. And it is not necessary to add the process which carries out flattening of the layer insulation film 6, and the number of processes does not change. Therefore, the poor bridge and the poor open circuit can be prevented, without causing increase of the number of processes.

[0022] In addition, although it was made to carry out batch processing of the amendment of the width of face of the master mask by the amendment means, you may make it change the amount of amendments of width of face in the above-mentioned example according to the height of a level difference.

[0023]

[Effect of the Invention] As explained above, in case the master mask used at the photo lithography process of a semiconductor device is created according to a claim 1 or invention of 3, it is under an amendment to the width of face in which the part to which the upper wiring electrode intersects at least one lower layer wiring electrode differs the width of face of the master mask for the upper wiring electrode formation from the part which both do not intersect, and the wiring electrode of a good configuration can be formed, without causing increase of the number of processes.

[0024] according to a claim 2 or invention of 4 -- invention of a claim 1 -- setting -- amendment of the width of face of the master mask for the upper wiring electrode formation -- a package amendment -- since it was made like, easy-ization of mask making can be attained

[Translation done.]